

УДК 004.337

**СТРУКТУРНАЯ ОРГАНИЗАЦИЯ ЦИФРОВОГО АДАПТЕРА
МАГИСТРАЛЬНОГО ПАРАЛЛЕЛЬНОГО ИНТЕРФЕЙСА****Назирова Р.Р., Мартышкин А.И.***Пензенский государственный технологический университет, Пенза,**e-mail: Alexey314@yandex.ru*

В статье рассмотрена структура цифрового адаптера магистрального параллельного интерфейса. Выделены и подробно описаны основные блоки и узлы, составляющие вычислительную систему. В достаточном объеме описано соединение составных частей устройства. Описываемая структура отражает магистрально-модульный принцип организации микропроцессорных устройств и систем. Отдельные блоки устройства – функционально законченные модули со своими встроенными схемами управления, выполненными в виде одного или нескольких кристаллов БИС или СБИС. Межмодульные связи и обмен информацией осуществляются посредством шин, к которым имеют доступ все основные модули вычислительной системы. В определенный момент времени возможен обмен информацией только между двумя узлами (модулями) системы. Магистральный принцип построения взаимодействия модулей предполагает наличие информационно-логической совместимости, которая реализуется путем использования единых способов представления информации, алгоритма управления обменом, форматов команд и способа синхронизации. Все описываемые блоки показаны на структурной схеме в общем виде. В конце работы приводятся основные результаты.

Ключевые слова: магистральный параллельный интерфейс, модуль, информация, обмен, протокол, порт, адаптер, цифровое устройство, периферия, шина адреса, шина данных, шина управления

**STRUCTURAL ORGANIZATION OF THE DIGITAL ADAPTER OF THE MAIN
PARALLEL INTERFACE****Nazirov R.R., Martyshev A.I.***Penza State Technological University, Penza,**e-mail: Alexey314@yandex.ru*

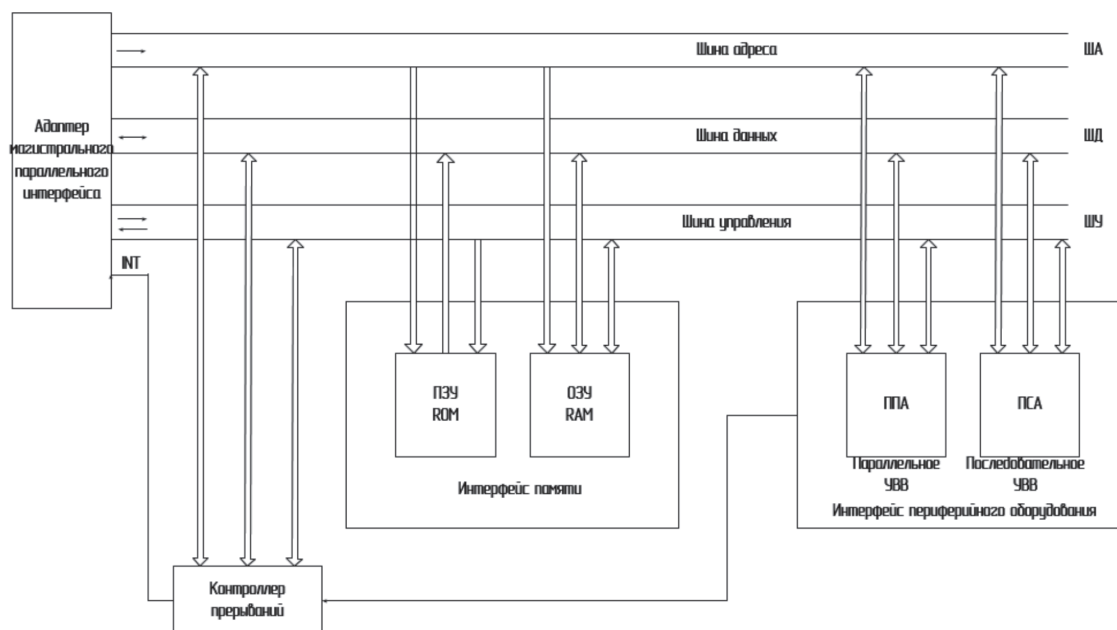
The structure of the digital adapter of the main parallel interface is considered in the article. The main blocks and nodes constituting the computer system are singled out and described in detail. The connection of the component parts of the device is described in sufficient detail. The described structure reflects the trunk-modular principle of the organization of microprocessor devices and systems. Separate units of the device are functionally complete modules with their own built-in control circuits made in the form of one or several LSI or VLSI crystals. Intermodule communications and information exchange are carried out by means of buses, to which all the main modules of the computer system have access. At a certain time, only information can be exchanged between two nodes (modules) of the system. The backbone principle of constructing the interaction of modules assumes the existence of information-logical compatibility, which is realized through the use of unified methods of information representation, the exchange control algorithm, command formats and synchronization method. All the blocks described are shown in the general scheme in the structure diagram. At the end of the article, the authors give the main results.

Keywords: main parallel interface, module, information, exchange, protocol, port, adapter, digital device, peripherals, address bus, data bus, control bus

В статье описана структура цифрового адаптера магистрального параллельного интерфейса (МПИ). (рисунок). Разработанный блок представляет собой вычислительную систему, монтируемую на печатную плату, и предназначен для обеспечения информационного обмена между ЭВМ типа с внешними устройствами по МПИ – стандарту, определяющему набор контактов и процедуры обмена по 16-разрядной шине с мультиплексированием адреса и данных. в соответствии с ГОСТ 26765.51–86. Указанный блок представляет собой полностью законченный модуль, являющийся устройством на шине PCI и функционирующим в соответствии со спецификацией шины PCI с поддержкой протокола Plug&Play на частоте до 33 (66) МГц. Управление работой

и информационный обмен осуществляется через порты ввода-вывода и ОЗУ двойного доступа (ОЗУ ДД).

Рассмотрим вычислительную систему, состоящую из цифрового адаптера МПИ, контроллера прерываний, памяти и периферийных устройств (оборудования). Цифровой адаптер МПИ выполняет роль процессора в рассматриваемой системе. Все арифметические и логические операции проходят обработку именно в нем. Созданный цифровой модуль может осуществлять операции передачи управления шиной, адресного обмена, прерывания (одноуровневая система прерываний, четырехуровневая система прерываний). Работа цифрового адаптера МПИ происходит по ГОСТ 26765. 51–86 [1, 2, 3].



Вычислительная система с адаптером магистрального параллельного интерфейса

Описываемая в статье вычислительная система состоит из следующих основных блоков: цифровой адаптер МПИ, контроллер прерываний, память, периферийные устройства. Для большинства современных микропроцессоров характерно наличие трехшинной структуры, содержащей шину адреса (ША), двунаправленную шину данных (ШД) и шину управления (ШУ) [4, 5]. Как видно из представленной структурной схемы типовая система предполагает наличие общего сопряжения для модулей памяти (постоянных и оперативных запоминающих устройств) [6, 7, 8] и устройств ввода-вывода.

В качестве периферийных устройств в аналогичных системах используются устройства ввода с клавиатуры и различных датчиков, вывода на дисплей, ввода-вывода на сетевые карты, модемы и т.п.

Периферийное устройство соединяется с шинами МП не непосредственно, а через программируемый периферийный адаптер (ППА) или программируемый связной адаптер (ПСА), обслуживающие периферию соответственно с передачей информации параллельным или последовательным кодом. Наличие программно настраиваемых адаптеров делает весьма гибкой и функционально богатой систему ввода-вывода информации в МП-системе.

Постоянное запоминающее устройство (ПЗУ) хранит системные программы, необходимые для управления процессом об-

работки. В оперативном запоминающем устройстве (ОЗУ) хранятся прикладные программы, данные и результаты вычислений.

Работа рассматриваемого цифрового адаптера МПИ синхронизируется тактовыми частотами в 33 или 66) МГц (CLK33 (или CLK66)), поступающими на его входы от разъема PCI.

В предлагаемой структуре цифрового адаптера МПИ реализуются три способа организации передачи информации:

1) программно-управляемая передача, инициируемая самим цифровым адаптером (процессором);

2) программно-управляющая передача, инициируемая запросом прерывания от периферийного устройства к цифровому адаптеру;

3) прямой доступ к памяти (ПДП).

При первом упомянутом способе передача инициируется самим цифровым адаптером, а при втором – запросом прерывания от периферийного устройства.

Прямой доступ к памяти называется способ обмена данными, обеспечивающий автономно от цифрового устройства установление связи и передачу данных между ОЗУ и внешним устройством.

Прямой доступ к памяти, повышая предельную скорость ввода-вывода информации и общую производительность системы, делает ее более приспособленной для работы в системах реального времени (СРВ).

Прямой доступ к памяти управляет контролер ПДП, на который возложено выполнение следующих функций:

- управление иницилируемой блоком цифрового адаптера (процессором) или ПУ передачей данных между ОЗУ и ПУ;
- задание размера блока данных, который подлежит передаче, и области памяти, используемой при передаче;
- формирование адресов ячеек ОЗУ, участвующих в передаче;
- подсчет числа байт, передаваемых через интерфейс МПИ, и определение момента завершения заданной операции ввода-вывода.

Несомненно, главное место в этой структуре занимает цифровой адаптер МПИ (он же является процессором системы), который выполняет арифметические и логические операции над данными, осуществляет программное управление процессом обработки информации, организует взаимодействие всех устройств, входящих в систему. Работа адаптера происходит под воздействием сигналов синхронизации и начальной установки, поступающих по шине PCI.

Представленная структура отражает магистрально-модульный принцип организации микропроцессорных устройств и систем. Отдельные блоки являются функционально законченными модулями со своими встроенными схемами управления, выполненными в виде одного или нескольких кристаллов БИС или СБИС. Межмодульные связи и обмен информацией между модулями осуществляются посредством коллективных шин (магистралей), к которым имеют доступ все основные модули системы. В каждый момент времени возможен обмен информацией только между двумя модулями системы.

Интерфейс ЭВМ предполагает наличие информационно-логической совместимости модулей, которая реализуется путем использования единых способов представления информации, алгоритма управления обменом, форматов команд и способа синхронизации.

Все описываемые в статье блоки показаны на схеме (рисунок) в общем виде.

В работе рассмотрена структурная схема цифрового адаптера МПИ. Выделены основные блоки и узлы. Описано соединение составных частей устройства.

Описанное устройство позволяет выполнять функции ведущего устройства (процессора) в соответствии с ГОСТ 26765. 51–86.

Областью применения разработанного устройства являются специализированные системы для нужд армии и флота нашей страны, либо других стран.

Список литературы

1. ОСТ 11.305.903–80. Микропроцессорные средства вычислительной техники. Технические средства. Интерфейс межмодульный: Техническое описание.
2. ОСТ-25 795–78. Система малых ЭВМ. Интерфейс Общая шина.
3. ГОСТ 26765.51–86. Интерфейс магистральный параллельный МПИ системы электронных модулей. Общие требования к совокупности правил обмена информацией.
4. Цилькер Б.Я., Орлов С.А. Организация ЭВМ и систем: Учебник для вузов. 2-е изд. – СПб.: Питер, 2011. – 688 с.
5. Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры. Учебное пособие. – Ростов н/Д.: Феникс, 2008. – 480 с.
6. Мартышкин А.И., Рябова К.М., Воронцов А.А. Способы построения подсистемы памяти многопроцессорной системы // Современные инновационные технологии подготовки инженерных кадров для горной промышленности и транспорта. – 2017. – № 4. – С. 429–433.
7. Мартышкин А.И., Мартенс-Атюшев Д.С., Полетаев Д.А. Организация и принципы работы аппаратного буферного устройства памяти многопроцессорной системы // Инновационное развитие современной науки: проблемы, закономерности, перспективы: сборник статей III Международной научно-практической конференции. – 2017. – С. 37–39.
8. Мартышкин А.И., Мартенс-Атюшев Д.С., Маркин Е.И. К вопросу построения реконфигурируемой вычислительной системы на базе ПЛИС для цифровой обработки сигнала // Современные инновационные технологии подготовки инженерных кадров для горной промышленности и транспорта. – 2017. – № 4. – С. 433–439.
9. Мартышкин А.И. Математическое моделирование и возможность аппаратной поддержки алгоритмов управления взаимодействующими процессами в высокопроизводительных вычислительных системах // XXI век: итоги прошлого и проблемы настоящего плюс. – 2017. – № 4 (38). – С. 132–139.
10. Мартышкин А.И. Исследование возможной структуры аппаратного арбитра общей шины многопроцессорной реконфигурируемой вычислительной системы // Современные методы и средства обработки пространственно-временных сигналов: сборник статей XV Всероссийской научно-технической конференции. – 2017. – С. 69–75.
11. Мартышкин А.И. Функциональная организация аппаратного арбитра общей шины многопроцессорной системы // Модели, системы, сети в экономике, технике, природе и обществе. – 2017. – № 3 (23). – С. 151–159.